

(D2)

SEMICONDUCTOR NONVOLATILE MEMORY DEVICE

Patent Number: JP62049670
Publication date: 1987-03-04
Inventor(s): HAGIWARA TAKAAKI; others: 04
Applicant(s): HITACHI LTD
Requested Patent: JP62049670
Application Number: JP19860087916 19860418
Priority Number(s):
IPC Classification: H01L29/78 ; G11C17/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a metal nitride oxide semiconductor (MNOS) type memory element having a high working speed and a high density of integration by a method wherein a memory matrix is formed by assembling the MNOS element formed with a polycrystalline silicon gate and a switching MOS transistor.

CONSTITUTION: A transistor on the left side is an MNOS element and a MOS transistor on the right side is a switching transistor. These transistors are constituted by forming an Si₃N₄ film 15, a very thin SiO₂ film 17, and a gate insulating film 20 on a p(n) type Si substrate 11. Also, each of gate electrodes 18 and 19 consists of polycrystalline silicon. Consequently, as the word wire of the memory matrix is turned to polycrystalline silicon, an Al wiring can be used for a data wire, and also as there is switching transistor, it is unnecessary to form the MNOS element into an offset structure. Moreover, the area of a memory cell can be made small, signal lag time is made short, and a high speed operation can be achieved.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭62-49670

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)3月4日

H 01 L 29/78
G 11 C 17/00

3 0 7

7514-5F
6549-5B

審査請求 有 発明の数 1 (全3頁)

⑮ 発明の名称 半導体不揮発性記憶装置

⑯ 特 願 昭61-87916

⑰ 出 願 昭52(1977)10月17日

⑱ 特 願 昭52-123479の分割

⑲ 発 明 者 萩 原 隆 且 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内⑳ 発 明 者 伊 藤 容 吉 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内㉑ 発 明 者 近 藤 隆 二 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体不揮発性記憶装置

2. 特許請求の範囲

1. 少なくとも多結晶シリコンをゲート電極とする MNOS (金属-窒化珪素-二酸化珪素-半導体) 素子と同じく多結晶シリコンをゲート電極とする MIS (金属-絶縁体-半導体) トランジスタを直列に接続したものを含む回路を一単位としてマトリックス状に配列し、上記 MIS トランジスタのゲート電極を読出し用ワード線とし、上記 MNOS 素子のゲート電極を書き込み用ワード線とし、上記回路の前記 MIS トランジスタ側の端子をデータ線として用いることを特徴とする半導体不揮発性記憶装置。

3. 発明の詳細な説明

本発明は、電気的に書き込みおよび消去が可能な半導体不揮発性記憶装置、特に MNOS (Metal-Nitride-Oxide-Semiconductor) 型記憶装置に関する。

本発明は従来型 MNOS 素子の欠点を克服し、動作速度が速くかつ集積密度の大きい MNOS 型メモリ集積素子を得ることを目的とする。

本発明の趣旨は MNOS 素子を多結晶シリコンゲートを用いて形成し、かつその MNOS 素子とスイッチング用 MOS トランジスタを組合わせて、1 ビットあたり 2 個のトランジスタからなるメモリセルを用いてメモリマトリックスを形成することにある。

以下、本発明を実施例を参照して詳細に説明する。第 1 図に本発明によるメモリセルの断面構造の一例を示す。図において左側のトランジスタが MNOS 素子、右側の MOS トランジスタがスイッチングトランジスタである。図において、11 は P(n) 型 Si 基板、15 は Si₃N₄ 膜、17 は極めて薄い SiO₂ 膜、20 はゲート絶縁膜 (SiO₂) である。おのおののゲート電極 18、19 は多結晶シリコン (以下 poly-Si と略記する) よりなる。従来 poly-Si をゲートにした MNOS 素子は記憶保持特性が劣るという説が

あったが、実験によれば、イオン打込み等の方法を用いてn(P)型拡散層12, 13および21を形成することにより、A₂ゲートMNOSに比べ何ら遜色のない特性を有するpoly-SiゲートMNOSが得られる。したがってpoly-Siゲートを採用することにより不利益はなく、次のような特徴をもつメモリセルを得ることができる。

第1の特徴は、メモリマトリックスのワード線がpoly-Siになるため、データ線にA₂配線を使うことができることである。第2の特徴は、スイッチングトランジスタがあるので、MNOS素子をオフセット構造にする必要がなく、メモリセル全体としてコンダクタンスが増大する。第3にメモリセルを駆動するデコーダは読出しの際はスイッチングトランジスタのみを駆動すればよく、デコーダ側から見た負荷容量が減少する。また書き込みの際はMNOS素子のみデコードすればよく、読出し用デコーダと機能を分離できるので、デコーダ回路が簡易になる。第4にpoly-SiはA₂に比べ加工精度が良く、かつ拡散層をpoly

-Si自身をマスクとして形成できるので余分の合わせ余裕が不要となりメモリセル面積が小さくなる。

これらの特長によってメモリマトリックスの占有面積が減少しかつ信号遅延時間が短くなることはもちろんであるが、同時に周辺回路全体をSiゲートで形成することにより周辺回路部も占有面積の減少と高速化が達成されることを忘れてはならない。

以上の特長を少し詳しく説明する。図2図に本発明の方法によるメモリマトリックス形成の例を示す。MNOS素子1とスイッチングトランジスタ5が直列に接続されたものを1ビットしてマトリックスを形成する。読出し時のワード線2はスイッチングトランジスタのゲート電極を兼ねておりpoly-Siで形成する。MNOS素子のゲート電極6もpoly-Siであるが、読出し時にこのラインをデコードする必要はなく、すべてのラインをMNOS素子が書き込まれているか消去されているかが識別できるような、ある一定電位に設

定しておけばよい。一方書き込み時は、このラインをデコードして書き込み電圧を印加する。データ線3および電源供給線4はA₂配線を使うことができ、各ビットのドレインおよびソース拡散層と接続される。

この方法によれば、A₂ゲートMNOS素子を用いて、マトリックスを形成した場合に比べ、読出し用ワード線の負荷容量を約 $\frac{1}{2}$ に、データ線の負荷容量を約 $\frac{1}{2}$ に、データ線の抵抗を $\frac{1}{100}$ に、またメモリセルのコンダクタンスを約2倍にすることができ、この結果メモリマトリックス部分での信号遅延時間を約 $\frac{1}{8}$ にすることができる。実験実験によれば周辺回路を含めた集積素子全体の動作速度は約150ナノ秒であり、従来のA₂ゲート、集積素子の動作速度約1マイクロ秒に比べ大幅に高速化できることが確認できた。また1ビット当りのメモリセル面積も、従来のA₂ゲートMNOS素子を用いたメモリマトリックスが約2500 μm^2 であったのに比べ、約400 μm^2 と、約 $\frac{1}{6}$ にすることができた。

以上説明した実施例に限らず、他の例も考えられる。特に2層poly-Siゲートを用いた実施例を第3図に示す。図はスイッチングトランジスタのゲート電極19を一層目のpoly-Siで、MNOS素子のゲート電極18を2層目のpoly-Siで形成した実施例である。この逆も可能であることは言うまでもないが、実験によれば、第3図の例の方が記憶保持特性のすぐれた良好なMNOS素子ができるので、より実用的である。

本実施例によれば、第1図にあった2個のゲート間のスペースがなくなった分だけメモリセルの面積がさらに減少し、1ビットあたりの250 μm^2 にすることができる。さらに、MNOS素子を形成する工程が複雑なことから、MNOS素子とスイッチングトランジスタを同一のpoly-Siゲートで形成することはむしろ複雑な工程を必要とし、またMNOS素子の特性ならびにスイッチングトランジスタの特性も悪くなるのに対し、本実施例のように別々のpoly-Siゲートを用いることにより、MNOS素子とスイッチングト

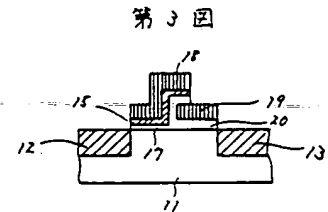
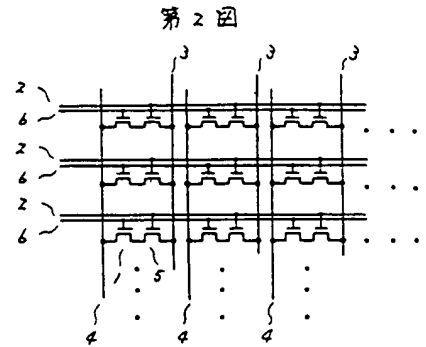
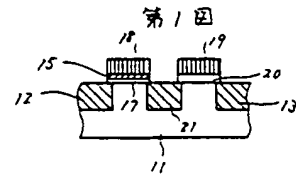
ランジスタを形成する工程を互いに独立に制御することが可能になり、双方ともに最も特性のすぐれた素子を得ることができる。

また第3図ではゲート電極19と18が重なり合った構造になっているが、これらを分離して構成的には第1図と同一にした実施例も考えられる。この場合1ビット当りのメモリセル面積は若干大きくなるが、双方のゲート間の重なり容量がなくなる分だけより信号遅延時間を短くできる。

以上説明したごとく本発明によれば、1ビット当りのセル面積が小さく、かつ信号遅延時間の小さい、MNOS素子メモリマトリックスを得ることができる。

4. 図面の簡単な説明

第1図は本発明によるMNOSメモリセルの断面図、第2図は本発明によるMNOSメモリマトリックスの構成図、第3図は2層poly-Siゲートを用いた、本発明の実施例の断面図である。



代理人 井理士 小川勝男

第1頁の続き

⑦発明者 谷田 雄二

⑦発明者 南 真一

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内